

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66373

(43) 公開日 平成7年(1995)3月10日

(51) Int.Cl.⁶

H 0 1 L 27/118

27/04

21/822

識別記号

庁内整理番号

F I

技術表示箇所

8122-4M

8832-4M

H 0 1 L 21/ 82

27/ 04

M

A

審査請求 未請求 請求項の数7 F D (全 6 頁)

(21) 出願番号

特願平5-232239

(22) 出願日

平成5年(1993)8月26日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 橋本 益典

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

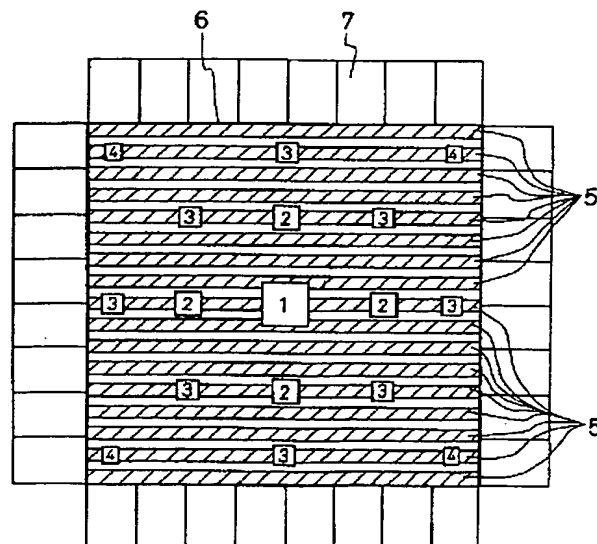
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 マスタースライス方式の半導体集積回路装置

(57) 【要約】

【目的】 大負荷を駆動する際に遅延時間を増加させることなく、且つスキューが同一となるようにしたマスタースライス方式の半導体集積回路装置を提供する。

【構成】 内部論理セル領域6と、その周辺部に配置した大駆動能力を有する入出力バッファ領域7とを備え、前記内部論理セル領域6内には、チップ中心に最も駆動能力の大きい基本セル列1を配置し、放射状に周辺に向かうにしたがって、順次駆動能力が小さくなるように、各基本セル列2, 3, 4を配置し、チップ全面に小駆動能力の基本セル列を配置して半導体集積回路装置を構成する。



1～4：大駆動能力基本セル列

5：小駆動能力基本セル列

6：内部論理セル領域

7：入出力バッファ領域

(2)

【特許請求の範囲】

【請求項 1】 内部論理セル領域と、その周辺部に配置した入出力バッファ領域とからなるマスタースライス方式の半導体集積回路装置において、前記内部論理セル領域に少なくとも 2 種類以上の駆動能力の異なる基本セル列を備え、該基本セル列のうち大駆動能力をもつ基本セル列を、内部論理セル領域の中心から放射状に配置したことを特徴とするマスタースライス方式の半導体集積回路装置。

【請求項 2】 前記内部論理セル領域内に放射状に配置される大駆動能力をもつ基本セル列のうち、該内部論理セル領域の中心には最も大きな駆動能力をもつ基本セル列を配置し、該内部論理セル領域の周辺に向かうにしたがって、順次駆動能力を小さくした大駆動能力をもつ基本セル列を配置したことを特徴とする請求項 1 記載のマスタースライス方式の半導体集積回路装置。

【請求項 3】 前記放射状配置は十字形配置であることを特徴とする請求項 1 又は 2 記載のマスタースライス方式の半導体集積回路装置。

【請求項 4】 前記十字形に配置された大駆動能力をもつ基本セル列により分割された内部論理セル領域の 4 つの領域を、同様に少なくとも 2 種類以上の駆動能力の異なる基本セル列で構成し、該基本セル列のうち駆動能力の大きい基本セル列を各分割領域の中心から放射状に配置したことを特徴とする請求項 3 記載のマスタースライス方式の半導体集積回路装置。

【請求項 5】 前記十字形に配置された大駆動能力をもつ基本セル列により分割された内部論理セル領域の 4 つの領域に対して、更に十字形に配列された大駆動能力をもつ基本セル列による分割を繰り返し、分割領域を形成したことを特徴とする請求項 3 記載のマスタースライス方式の半導体集積回路装置。

【請求項 6】 前記大駆動能力をもつ基本セル列は、一対の基本セルで構成していることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載のマスタースライス方式の半導体集積回路装置。

【請求項 7】 前記大駆動能力をもつ基本セル列は、他の小駆動能力の基本セル列と同じ高さ寸法をもつように構成されていることを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載のマスタースライス方式の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、マスタースライス方式の半導体集積回路装置に関し、特に高速動作の可能な大規模の半導体集積回路装置に関する。

【0002】

【従来の技術】 従来のマスタースライス方式の半導体集積回路装置は、図 6 に示すように、論理回路を配置した小駆動能力の内部論理セル領域 101 と、その周辺部に配

2

置された大駆動能力を有する入出力バッファ領域 102 とで構成されている。このように内部論理セル領域における基本セルは小さく、駆動能力が小さくなっており、したがって回路に大きな負荷をかける場合には、負荷を分散させるために回路段数を増加させる必要があり、遅延時間が増大するという欠点があった。

【0003】 この欠点を解消するために、従来、種々の方策が提案されている。例えば、特開昭 64-24443 号には、図 7 に示すように、2 種類の異なる駆動能力を有する基本セルを内部論理セル領域 101 に配置し、駆動すべき負荷の大小により、使用する基本セルを選択し、負荷の大小によらず遅延時間を少なくするように構成したものが開示されている。なお図 7 において、A-1 ～ A-4、D-1 ～ D-4、G-1 ～ G-4 は大駆動能力基本セル列を示し、B-1 ～ B-4、C-1 ～ C-4、E-1 ～ E-4、F-1 ～ F-4、H-1 ～ H-4 は小駆動能力基本セル列を示している。

【0004】

【発明が解決しようとする課題】 しかしながら、駆動能力の異なる 2 種類の基本セル列を内部論理セル領域にもたせた上記従来提案の構成のものは、駆動能力の大きい基本セル列を使用しない場合には無駄となるスペースが多くなってしまいうという欠点がある。また、本来、大駆動能力を有する基本セル列は、クロック及びリセット信号に用いられることが多く、図 7 に示したような従来の構成のものにおいては、大規模の半導体集積回路とした場合には、スキューの問題が無視できなくなってしまうという欠点がある。

【0005】 本発明は、従来のマスタースライス方式の半導体集積回路装置における上記問題点を解消するためになされたもので、大負荷を駆動する際に遅延時間を増加させることなく、スキューがほぼ同一となり、また未使用時においても無駄となるスペースが少なくなるようにしたマスタースライス方式の半導体集積回路装置を提供することを目的とする。

【0006】

【課題を解決するための手段及び作用】 上記問題点を解決するため、本発明は、内部論理セル領域と、その周辺部に配置した入出力バッファ領域とからなるマスタースライス方式の半導体集積回路装置において、前記内部論理セル領域に少なくとも 2 種類以上の駆動能力の異なる基本セル列を備え、該基本セル列のうち大駆動能力をもつ基本セル列を、内部論理セル領域の中心から放射状に配置して構成するものである。

【0007】 このように構成したマスタースライス方式の半導体集積回路装置においては、大駆動能力をもつ基本セル列を内部論理セル領域の中心から放射状に配置しているので、大負荷を駆動する場合には、中心の大駆動能力基本セル列から放射状に分散させることにより、回路段数の増加による遅延時間を大にさせることがなく、

3

また内部論理セル領域全体に亘り配線長をほぼ均一にすることができるので、信号のばらつき（スキュー）を抑えることができる。更に、大駆動能力基本セル列を使用しない場合は、その基本セル列上に電源及びグランド配線を施すことが可能なので、無駄なスペースを低減することができる。

【0008】

【実施例】次に実施例について説明する。図1は、本発明に係るマスタースライス方式の半導体集積回路装置の基本的な実施例を示す概念図である。図において、1～4は内部論理セル領域6内に配置されている大駆動能力をもつ基本セル列で、5は小駆動能力の基本セル列であり、各基本セル列1～5の各駆動能力を S_1 、 S_2 、 S_3 、 S_4 、 S_5 としたとき、これらの基本セル列の駆動能力は、図示のように、 $S_1 > S_2 > S_3 > S_4 > S_5$ となるように、トランジスタサイズ： W/L （ W ：ゲート幅、 L ：ゲート長）を変えて構成されている。そして、チップ中心には、最も駆動能力の大きい基本セル列1を配置し、放射状に周辺に向かうにしたがって、順次駆動能力が小さくなるように、基本セル列2、3、4を配置している。なお、7は内部論理セル領域6の周辺部に配置されている入出力バッファ領域である。

【0009】このように構成されたマスタースライス方式の半導体集積回路装置において、クロックやリセット系の大負荷を駆動する時には、まず初段には、最も駆動能力の大きい基本セル列1で受け、その後、上下左右に配置された4個の2段目の基本セル列2で受け、更に放射状に配置されている8個の3段目の基本セル列3で受け、その後、4個の4段目の基本セル列4で受け、最後に小駆動能力の基本セル列5で受けるように、それぞれの必要な個所へ配線を行う。このように大負荷を駆動する時、大駆動能力基本セルから放射状に配置された順次駆動能力を小さくした基本セル列へ分散することにより、チップ全体に亘り配線長をほぼ均一にすることができる。

【0010】次に、前記大駆動能力をもつ基本セル列の構成について説明する。図2の（A）は、その構成を示す概略平面図である。図2の（A）において、11は大駆動能力基本セル列で、トランジスタサイズ W/L （縦横比）の大きい基本セルが2組左右対称に配置されている。各基本セルは、2本のポリシリコンゲート12をP型拡散領域13及びN型拡散領域14の上に横断して配置し、Pチャネルトランジスタ及びNチャネルトランジスタをそれぞれ2個ずつ計4個のトランジスタで構成されている。なお、図2の（A）において、×印はコンタクト15を示している。また各基本セル列の高さ方向の寸法

（H）は、大駆動能力基本セル列でも小駆動能力基本セル列でも同一サイズになっている。

【0011】このように構成されている大駆動能力基本セル列11を使用するときは、図2の（B）に示すよう

(3)

4

に、電源配線16、グランド配線17、第1の出力配線18、第2の出力配線19を施し、2組の独立したバッファを形成できるようになっている。これをシンボルで示すと、図2の（C）のように表される。

【0012】前述したように、実際の回路では、クロックとリセット系の信号が大負荷となる場合が多く、本発明においては、2組の独立したバッファによって信号が伝達されるので、無駄な大駆動能力の基本セル列は存在せず、効率的なレイアウト設計が可能となる。また、これらの大駆動能力の基本セル列を使用しない時は、それらの基本セル列の上部にメタル配線を施し、電源又はグランド配線として利用することができる。更に、基本セル列の高さ方向の寸法（H）は、駆動能力の大小に拘らず全て同一に設定されており、レイアウトする際に自動化し易いようになっている。

【0013】次に、本発明の具体的な実施例を図3に基づいて説明する。図3において、1～4は大駆動能力基本セル列で、各基本セル列の駆動能力 $S_1 \sim S_4$ の大きさは、 $S_1 > S_2 > S_3 > S_4$ の順になっている。なお、小駆動能力の基本セル列は図示を省略しているが、チップ全面に配置されているものとする。この実施例においては、X軸及びY軸に沿った第1のチップ分割線21上に、大駆動能力基本セル列1、2、3を十字形に配置している。更に、第1のチップ分割線21によって4分割された内部論理セル領域6の各分割領域において、第2のチップ分割線22上に、1個の大駆動能力基本セル列3を中心にして、4個の大駆動能力基本セル列4を十字形に配置して、マスタースライス方式の半導体集積回路装置を構成する。

【0014】このように構成したマスタースライス方式の半導体集積回路装置においては、クロックやリセット系の大負荷を駆動する際、まず初段入力是最も駆動能力の大きい基本セル列1で受け、その後、上下左右に配置された4個の2段目の基本セル列2で受け、更に8個の3段目の基本セル列3で受け、その後、12個の4段目の基本セル列4で受け、最後に図示しないチップ全面に配置されている小駆動能力の基本セル列のそれぞれ必要な個所へ信号を入力するように配線する。このように、大負荷を駆動する際、大駆動能力基本セルから十字形に配置されている基本セル列に、信号を順次樹木状に入力するように配線を施すことにより、チップ全体に対して配線長をほぼ均一にすることができる。したがって、信号のばらつきによるスキューを問題とするクロックやリセット系の信号にとって、信号の遅延時間が各段階ではほぼ同一にすることができるので、タイミングを気にすることなく所望の回路設計を行うことができる。

【0015】なお、十字形に配置されているこれらの大駆動能力の基本セル列を使用しない場合には、第1のチップ分割線21及び第2のチップ分割線22上に、幅広なメタル配線を施し、電源又はグランド配線として利用する

(4)

5

ことも可能である。

【0016】次に、本発明の具体的な他の実施例を図4に基づいて説明する。図3に示した実施例は、大駆動能力の基本セル列を第1のチップ分割線21に沿って十字形に配置して、内部論理セル領域6を4分割し、その分割領域を更に第2のチップ分割線22に沿って十字形に大駆動能力基本セルを配置して内部論理セル領域を16分割したものであるが、本実施例は図4に示すように、更に第3のチップ分割線23に沿って大駆動能力基本セルを十字形に配置して、内部論理セル領域6を64分割するように構成するものである。

【0017】このように、十字形配置の大駆動能力基本セルを3階層以上に亘って、次々と繰り返し内部論理セル領域を分割していくことにより、より大規模な集積回路装置でも、またより大負荷時でも、最終的には小さな領域として考え、設計することができる。

【0018】次に本発明に係るマスタースライス方式の半導体集積回路装置における大駆動能力をもつ基本セル列の他の構成例について説明する。図5は、大駆動能力基本セル列の基本セルを、ゲート幅Wを大きくして実現したときのレイアウトを示す図である。図5において、31は大駆動能力基本セル列、32はポリシリコンゲートで、ゲート幅が3倍になるように屈曲して形成されている。33はP型拡散領域、34はN型拡散領域、35はコンタクト、36は電源配線、37はグランド配線、38は第1の出力配線、39は第2の出力配線を示している。

【0019】このように構成した基本セルにおいて、Pチャネルトランジスタ及びNチャネルトランジスタとも、拡散領域の高さ寸法をhとすると、P型及びN型拡散領域33、34とポリシリコンゲート32とで構成される各トランジスタのゲート幅Wは、 $W = 3 \times h$ となる。この場合でも、基本セル列31の高さ方向の寸法Hは、小駆動能力の基本セル列と同じに設定される。

【0020】上記構成例では、ゲート幅Wを3倍(3h)としたものを示したが、更に大きな駆動能力が必要な場合は、横方向にセルを伸長して、5倍、7倍、9倍、...というように、 $(2n+1)$ 倍(nは自然数)の大きさに拡大することも可能である。一方、ゲート長Lに着目すれば、駆動能力を大にするにつれてゲート長を短くすることにより、大駆動能力の基本セル列を実現

【0021】このように、大駆動能力の基本セル列であっても、基本セル列の高さ方向の寸法Hは一定となっており、また大駆動能力の基本セル列の配置については、予め特殊セルとして、通常の小駆動能力の基本セル列と区分して、CAD上のライブラリに登録しておくこと

6

により、内部論理セル領域内の配置は全て、コンピュータ支援に基づく自動配置配線システムで、回路情報に基づいて設定することができる。

【0022】したがって、内部論理セル領域内の配置、配線は全て自動的に行われるので、大幅な工程の削減が見込まれ、またタイミング的にも、クロックやリセット系の信号が配線の引き回しや迂回によってばらつくこともないので、その効果は極めて大である。

【0023】以上、本発明を上記各実施例に基づいて説明してきたが、本発明は上記各実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変更可能であることは言うまでもない。

【0024】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、大負荷駆動に対しても回路段数の増加による遅延時間を増大させることがなく、また各段数毎における配線長が等しくなるので、各信号のばらつき(スキュー)をチップ全体に亘り抑えることができ、自動配置配線にも対応することができる。更に、大負荷駆動が必要でない時には、大駆動能力の基本セル列の上部に電源及びグランド配線を施すことにより、耐ノイズ性の向上が見込まれ、チップの有効利用も計られる。

【図面の簡単な説明】

【図1】本発明に係るマスタースライス方式の半導体集積回路装置の基本的な実施例を示す概念図である。

【図2】図1における大駆動能力の基本セル列の構成を示す図である。

【図3】本発明の具体的な実施例を示す概略平面図である。

【図4】本発明の具体的な他の実施例を示す概略平面図である。

【図5】本発明における大駆動能力の基本セル列の他の構成例を示す図である。

【図6】一般的なマスタースライス方式の半導体集積回路装置を示す概略平面図である。

【図7】従来の2種類の異なる駆動能力をもつ基本セル列を有する内部論理セル領域を備えた半導体集積回路装置を示す図である。

【符号の説明】

1～4 大駆動能力をもつ基本セル列

5 小駆動能力の基本セル列

6 内部論理セル領域

7 入出力バッファ領域

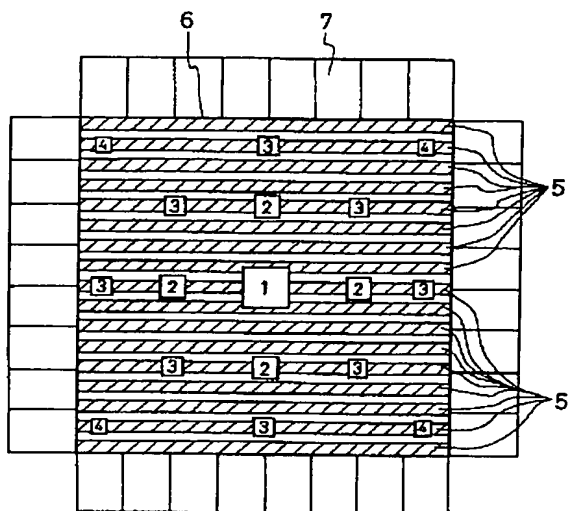
21 第1のチップ分割線

22 第2のチップ分割線

23 第3のチップ分割線

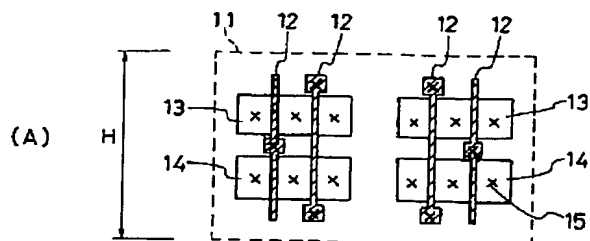
(5)

【図 1】

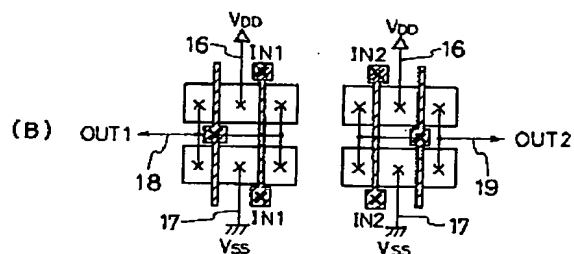


- 1～4：大駆動能力基本セル列
5：小駆動能力基本セル列
6：内部論理セル領域
7：入出力バッファ領域

【図 2】

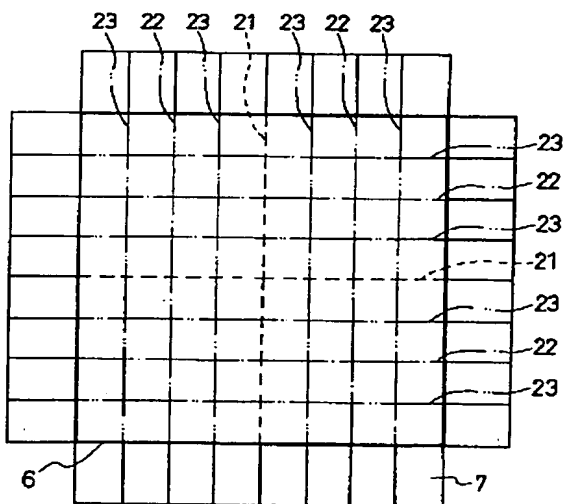


- 11：大駆動能力基本セル列 14：N型拡散領域
12：ポリシリコンゲート 15：コンタクト
13：P型拡散領域

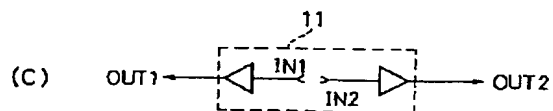


- 16：電源配線 18：第1の出力配線
17：グラウンド配線 19：第2の出力配線

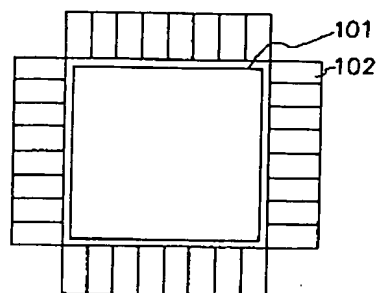
【図 4】



- 21：第1のチップ分割線
22：第2のチップ分割線
23：第3のチップ分割線



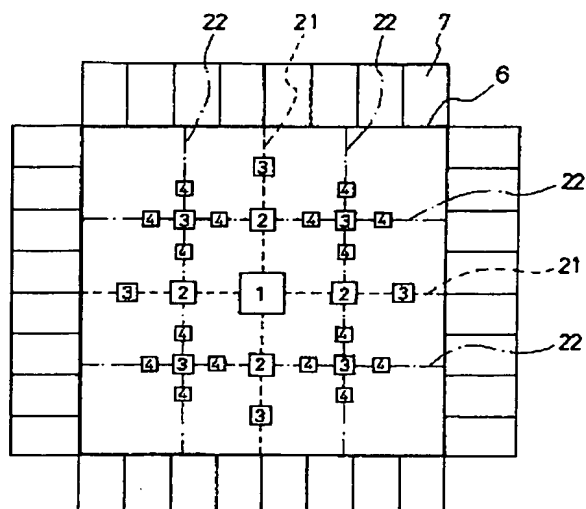
【図 6】



- 101：内部論理セル領域 102：入出力バッファ領域

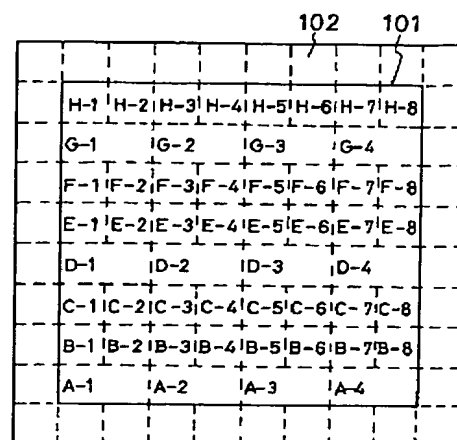
(6)

【図3】

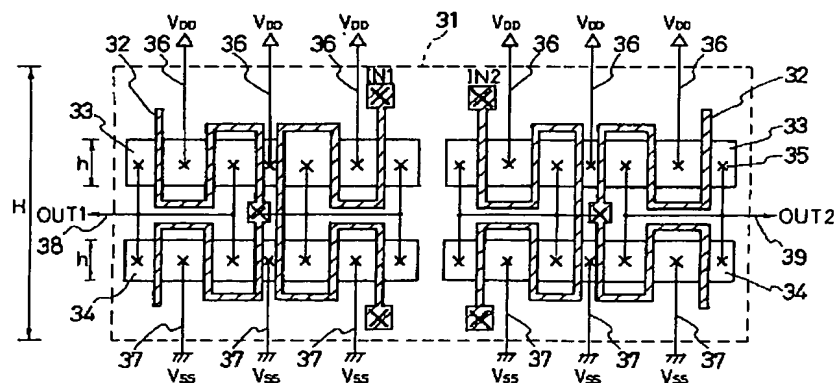


- 1～4：大駆動能力基本セル列
 6：内部論理セル領域
 7：入出力バッファ領域
 21：第1のチップ分割線
 22：第2のチップ分割線

【図7】



【図5】



- 31：大駆動能力基本セル列
 32：ポリシリコンゲート
 33：P型拡散領域
 34：N型拡散領域
 35：コンタクト
 36：電源配線
 37：グランド配線
 38：第1の出力配線
 39：第2の出力配線